نشریه علمی «رادار»
سال دهم، شماره ۱، بهار و تابستان ۱۴۰۱؛ ص

علمی – پژوهشی

طراحی و شبیه‌سازی یک تضعیف‌کننده پهن باند دیجیتالی ۶ بیتی با استفاده از فناوری GaAs ۰/۱۵µm به‌منظور کاربرد در رادارهای آرایه فازی

حفیظ حجازی[۱]، مجید بقایی نژاد[۲*]

۱- دانشجوی دکترا، ۲- دانشیار، دانشگاه حکیم سبزواری، سبزوار، ایران

(دریافت: ۱۴۰۱/۰۶/۰۹، پذیرش: ۱۴۰۱/۰۹/۰۶)

چکیده

در این مقاله یک تضعیف‌کننده ۶ بیتی به‌منظور کاربرد در رادارهای آرایه فازی در فناوری GaAs ۰/۱۵ µm طراحی و شبیه‌سازی شده است. پهنای باند تراشه طراحی شده از ۱ GHz تا ۱۲ GHz می‌باشد. کوچک‌ترین بیت این تضعیف‌کننده دیجیتالی ۰/۵ dB و محدودهٔ دینامیکی آن ۳۱/۵ dB می‌باشد. همچنین، با بزرگ درنظرگرفتن ابعاد ترانزیستورهای سری، میزان تضعیف ذاتی تا حد امکان کاهش پیدا کرده است و در تمام پهنای باند بهتر از ۵/۲ dB- می‌باشد. نتایج شبیه‌سازی الکترومغناطیسی با استفاده از نرم‌افزار ADS نسخه ۲۰۱۵ نشان می‌دهد که میزان خطای مؤثر دامنه بهتر از ۰/۴ dB می‌باشد. علاوه بر این، با استفاده از سلف، به‌منظور جبران‌سازی فرکانسی برای بیت‌های ۸ dB و ۱۶ dB میزان خطای مؤثر فاز در تمام پهنای باند کمتر از ۲/۴ درجه می‌باشد. ابعاد تضعیف‌کننده پیشنهادی ۳/۹ mm^2 می‌باشد.

کلیدواژه‌ها: رادار آرایه فازی، تضعیف‌کننده دیجیتالی، فناوری GaAs pHEMT، پهن باند

۱- مقدمه

امروزه رادارهای آرایه‌های فازی در سامانه‌های ارتباطی کاربرد وسیعی دارند. اگرچه آرایه‌های فازی در رادارهای هواشناسی و سامانه‌های راداری کنترل ترافیک هوایی کاربرد دارند، اخیراً از این رادارها در حوزه ارتباط‌های ماهواره‌ای با ایستگاه‌های زمین نیز استفاده می‌شود. یک ماژول فرستنده - گیرنده (T/R) یک عضو حیاتی در سامانه‌های پیشرفته رادار بر پایه آرایه فاز به شمار می‌رود. در این رادارها جهت پرتوی ساطع شده توسط تأخیر تابش پرتوی جداگانه از هر ماژول T/R هدایت می‌شود. به عبارت بهتر پویش محیط اطراف به‌صورت الکترونیکی قابل‌انجام می‌باشد. این امر باعث می‌شود سرعت پویش و کنترل بر روی پرتوی تابیده شده به‌شدت افزایش یابد [۱].

ماژول موردبحث از دو مسیر برای ارسال و دریافت سیگنال با استفاده از یک آنتن تشکیل شده است. از مهم‌ترین المان‌های این ماژول می‌توان به تقویت‌کننده کم نویز، کلیدهای فرکانس بالا، تقویت‌کننده‌های میانی، شیفت دهنده فاز، تضعیف‌کننده‌های دیجیتالی، تقویت‌کننده راه‌انداز و تقویت‌کننده توان اشاره نمود [۲]. تضعیف‌کننده وظیفه کاهش توان عبوری سیگنال RF از خودش را بر عهده دارد. در واقع یک تضعیف‌کننده قطعه‌ای غیرفعال می‌باشد که به‌منظور کاهش توان سیگنال RF به کار برده می‌شود. در یک ماژول فرستنده و گیرنده به طور معمول از تضعیف‌کننده به‌منظور شکل‌دهی به پرتوی آنتن و تضعیف گلبرگ فرعی در مسیر مشترک استفاده می‌شود [۳]. به‌عبارت‌دیگر، پرتوی نهایی ناشی از جمع سیگنال‌های خروجی هر ماژول می‌باشد. پرتوی خروجی در هر ماژول دارای فاز و سطح توانی معینی می‌باشد. با استفاده از تضعیف‌کننده‌های مورداستفاده در هر ماژول و تعیین میزان تضعیف به‌صورت جداگانه برای هر ماژول، می‌توان پرتوی آن را به میزان دلخواهی تضعیف نمود. در نتیجه باتوجه‌به این که پرتوی نهایی از جمع سیگنال‌های خروجی هر ماژول تشکیل شده است. می‌توان گلبرگ‌های فرعی پرتوی نهایی را تنظیم نمود [۴].

به‌طورکلی به‌منظور کنترل دامنه سیگنال RF در سامانه‌های گیرنده و فرستنده دو روش کلی وجود دارد. در روش اول این کار با استفاده از یک تقویت‌کننده با بهره متغیر انجام می‌شود درحالی‌که در روش دوم از یک تضعیف‌کننده استفاده می‌شود.

بهرهٔ تقویت‌کننده‌هایی که با استفاده از ترانزیستورهای FET و HEMT ساخته شده‌اند را می‌توان با تغییر ولتاژ گیت تغییر داد. به‌طورکلی با افزایش ولتاژ گیت بهره افزایش می‌یابد و بر عکس. ذکر این نکته ضروری است که تغییر ولتاژ گیت در تقویت‌کننده‌ها باعث تغییر در میزان تطبیق ورودی و خروجی خواهد شد. علاوه بر این، پهنای باند، خطینگی و میزان همواری بهره نیز با تغییر ولتاژ گیت دستخوش تغییر می‌شود. برخی از مشکلات بیان شده با استفاده توپولوژی‌هایی مانند تقویت‌کننده‌های توزیعی، فیدبک‌دار و بالانس قابل مرتفع‌سازی می‌باشد. در رادارهای آرایه فازی فعال، فاز خروجی از اهمیت ویژه‌ای برخوردار است، ذکر این نکته ضروری است که در

* رایانامه نویسنده مسئول: Mbnejad@hsu.ac.ir

تقویت‌کننده‌ها با تغییر ولتاژ گیت، فاز سیگنال خروجی تغییر خواهد کرد [۵]. علاوه بر این، تقویت‌کننده‌های با بهره متغیر توان مصرفی بالایی دارند و باتوجه‌به این موضوع که در رادارهای آرایه فازی تعداد ماژول‌های فرستنده/گیرنده زیاد هستند، استفاده از آن‌ها توان مصرفی سامانه را به‌شدت افزایش می‌دهد [۱]؛ بنابراین، استفاده از این تقویت‌کننده‌ها مناسب رادارهای آرایه فازی نمی‌باشد.

تضعیف‌کننده‌ها باتوجه‌به قابلیت کنترل دامنه سیگنال RF عنصری جدانشدنی از سامانه‌های فرستنده و گیرنده هستند. تضعیف‌کننده‌ها را می‌توان به‌صورت ثابت و یا متغیر در مدارها و ماژول‌ها فرکانس بالا مورد بهره‌برداری قرارداد. در حالت کلی دو نوع تضعیف‌کننده داریم که عبارت‌اند از تضعیف‌کننده‌های دیجیتالی و تضعیف‌کننده‌های آنالوگی. تضعیف‌کننده‌های دیجیتال دارای دقت بالا در میزان تضعیف، خطینگی مناسب، پایداری حرارتی بهتر و توانایی تحمل توان بیشتری هستند. واضح است که با استفاده از تضعیف‌کننده‌های دیجیتالی، ارتباط بهتری را می‌توان بین تضعیف‌کننده و میکروپروسسور برقرار نمود؛ بنابراین، این تراشه‌ها عضوی حیاتی از فرستنده و گیرنده‌های رادارهای آرایه فازی محسوب می‌شوند. در این میان از تضعیف‌کننده‌های آنالوگ به‌منظور کنترل بهره، استفاده می‌شوند. برای این منظور می‌توان تضعیف‌کننده‌ای آنالوگ را مابین دوطبقه تقویت‌کننده قرارداد تا اثرگذاری دو تقویت‌کننده بر یکدیگر کاهش یابد و بهره را نیز بتوان کنترل کرد. علاوه بر این، تضعیف‌کننده‌های آنالوگ نسبت به نوع دیجیتال از دقت پایین‌تری برخوردار هستند و در بیرون از تراشه نیاز به یک تراشه دیگر دارند تا بتوانند داده‌های آنالوگ را از روی آن بازخوانی کنند [۶]. تضعیف‌کننده‌ها را می‌توان به‌صورت ثابت، دیجیتال و یا آنالوگ طراحی نمود. به طور معمول، به‌منظور طراحی تضعیف‌کننده‌های ثابت و متغیر از توپولوژی‌های T و Pi استفاده می‌شود.

تضعیف‌کننده‌های دیجیتالی شامل چهار نوع هستند که عبارت‌اند از: کلیدزنی بین دو شبکه با مقاومت ثابت، کلیدزنی بین دو شبکه با ترانزیستورهای متفاوت، کلیدزنی بین دو شبکه مقاومتی و ترانزیستورهای مجتمع شده در شبکه تضعیف. در روش کلیدزنی بین دو شبکه با مقاومت ثابت، از یک کلید دومسیره استفاده می‌شود که سیگنال ورودی را بین دو مسیر، یکی بدون تضعیف و دیگری با تضعیف هدایت می‌کند. استفاده از این روش برای دستیابی به تضعیف‌های زیاد مناسب می‌باشد. در روش، کلیدزنی بین دو شبکه با ترانزیستورهای متفاوت، از یک کلید دومسیره استفاده می‌شود که سیگنال را بین دو مسیر با ترانزیستورهایی با ابعاد متفاوت هدایت می‌کند. به‌این‌ترتیب می‌توان با انتخاب صحیح ابعاد ترانزیستورها در هر مسیر، به میزان تضعیف موردنیاز دست‌یافت. در روش سوم، ابتدا با استفاده از توپولوژی T یا Pi میزان تضعیف موردنظر تعیین می‌شود. سپس برای خارج نمودن مقاومت‌ها از مدار و عبور سیگنال بدون تضعیف، از ترانزیستورهایی به‌صورت سری یا موازی با مقاومت‌ها استفاده می‌شود. روش چهارم همانند روش سوم می‌باشد با این تفاوت که ابعاد ترانزیستورها نیز بهینه‌سازی می‌شوند تا مشخصه‌های مداری تضعیف‌کننده بهبود یابد. تضعیف‌کننده‌هایی با روش ترانزیستورهای مجتمع به‌عنوان شبکه تضعیف، دارای ابعاد کوچک، پهنای باند بزرگ و تضعیف ذاتی کمتر هستند و البته پیچیدگی بیشتری نسبت به سایر روش‌های بیان شده دارند. در این مقاله از این روش به‌منظور طراحی استفاده شده است [۳].

به طور معمول تضعیف‌کننده‌های دیجیتالی فرکانس بالا در فناوری‌هایی مانند CMOS و GaAs مجتمع‌سازی می‌شوند. اگرچه تراشه‌های ساخته شده در فناوری CMOS هزینه تمام شده کمتری دارند؛ اما مشخصه‌های توانی آن‌ها در مقایسه با تراشه‌های ساخته شده در فناوری GaAs بسیار ضعیف‌تر می‌باشد [۷ و ۸].

در [۹] یک تضعیف‌کننده ۵ بیتی در تکنولوژی ۰/۱۵ µm GaAs طراحی و ساخته شده است. پهنای باند تراشه ساخته شده از DC تا ۴۰ GHz می‌باشد. گام‌های تضعیف ۱ dB و محدوده تغییرات dB ۲۳ می‌باشد. تضعیف حالت مرجع در فرکانس ۲۰ GHz و ۴۰ GHz به ترتیب ۶ dB و ۸ dB می‌باشد، اما از جبران‌سازی فازی برای این تراشه استفاده نشده است. در [۱۰] یک تضعیف‌کننده دیجیتال ۳ بیتی با استفاده از تکنولوژی ۰/۱۸ µm BiCMOS در پهنای باند ۶ GHz تا ۱۸ GHz طراحی و ساخته شده است. حداکثر محدوده تغییرات این تضعیف‌کننده ۷ dB می‌باشد. این طرح باتوجه‌به استفاده از خازن بین بلوک‌ها دارای پهنای باند محدودی می‌باشد. در [۱۱] یک تضعیف‌کننده دیجیتالی ۵ بیتی از DC تا ۲۰ GHz با استفاده از فناوری SOI CMOS طراحی و ساخته شده است. حداکثر تضعیف این تراشه ۳۱ dB با گام‌های ۱ dB می‌باشد. تطبیق‌های ورودی و خروجی در تمام پهنای باند بهتر از ۱۲ dB- هستند. میزان تضعیف ذاتی اندازه‌گیری شده برای این تراشه کوچک‌تر از ۷/۶ dB می‌باشد. در این طرح تطبیق‌های ورودی و خروجی کمتر از ۱۲ dB- اندازه‌گیری شده‌اند. لازم به توضیح است، باتوجه‌به تضعیف ذاتی کوچک و ایزولاسیون پایین بین ورودی و خروجی، تطبیق‌های ورودی و خروجی این تراشه در هنگام اتصال به سایر مدارهای فرکانس‌بالا دچار تغییرات خواهد شد [۳].

در این مقاله یک تضعیف‌کننده دیجیتالی با ۶ بیت و محدوده دینامیکی ۳۱/۵ dB با استفاده از فناوری ۰/۱۵ µm GaAs در نرم‌افزار ADS نسخهٔ ۲۰۱۵، طراحی و شبیه‌سازی شده است. به‌منظور بهبود اثر فاز بیت‌های تضعیف، از سلف‌های موازی با ترانزیستورها استفاده شده است تا میزان خطای مؤثر فاز کاهش یابد. علاوه بر این، از تعداد ترانزیستورهای سری کمتری در مسیر سیگنال RF استفاده شده است تا میزان تضعیف ذاتی تراشه به حداقل برسد.

لازم به توضیح است به‌منظور راستی‌آزمایی، طرح ارائه شده در نرم‌افزار AWR نسخهٔ ۱۶ نیز شبیه‌سازی شده است و پارامترهای مهم تضعیف‌کننده مانند خطای مؤثر دامنه، خطای مؤثر فاز، تضعیف ذاتی، P_{1dB} و تطبیق‌های ورودی و خروجی با نتایج حاصل از نرم‌افزار ADS مقایسه شده است. علاوه بر این، پس از شبیه‌سازی الکترومغناطیسی، تراشه طراحی شده با کارهای مشابه اخیر مقایسه شده است.

۲- طراحی مدار

۲-۱- ملاحظات کلی

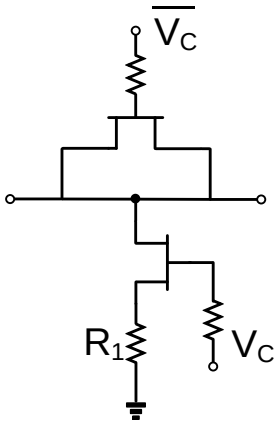
در طراحی تضعیف‌کننده پیشنهادی از نرم‌افزار ADS نسخه ۲۰۱۵ استفاده شده است. روند کلی طراحی به این صورت بوده است که ابتدا طراحی در محیط شماتیک با استفاده از فایل فناوری GaAs صورت پذیرفته و سپس در محیط جانمایی تحلیل الکترومغناطیسی انجام شده است. لازم به توضیح است که در فایل فناوری مورد استفاده در طراحی از مدل ترانزیستورهای کلیدزنی استفاده شده است. مشخصات مطلوب یک تضعیف‌کننده ۶ بیتی در جدول (۱) آورده شده است.

جدول (۱). مشخصه‌های مطلوب تضعیف‌کننده

مشخصه‌های تضعیف‌کننده دیجیتالی	مشخصه موردنظر با مقادیر مطلوب
باند فرکانسی (GHz)	۱ الی ۱۲
تضعیف ذاتی (dB)	کوچک‌تر از ۶
خطای مؤثر دامنه (dB)	کوچک‌تر از ۰/۵
خطای مؤثر فاز (درجه)	کوچک‌تر از ۵
P_{1dB} ورودی (dBm)	بزرگ‌تر از ۲۰
تطبیق‌های ورودی و خروجی (dB)	کوچک‌تر از ۱۰

۲-۲- طراحی بیت ۰/۵ dB

به‌منظور طراحی بیت تضعیف ۰/۵ dB از ساختار شکل (۱) استفاده شده است. در ساختار ارائه شده، V_c ولتاژ کنترلی می‌باشد که ترانزیستورها با استفاده از آن خاموش و روشن می‌شوند. بدین ترتیب سیگنال ورودی یا از مسیر با تضعیف و یا از مسیر بدون تضعیف عبور می‌کند. مقاومت‌های سری شده با گیت ۳ کیلو اهم در نظر گرفته شده‌اند و به‌منظور جداسازی بخش RF از بایاس ترانزیستورها در مدار قرار گرفته‌اند. در این ساختار زمانی که به V_c ولتاژ ۵+ v اعمال شود ترانزیستور سری مدار باز می‌شود و ترانزیستور موازی به زمین اتصال کوتاه می‌شود بدین ترتیب مقاومت R_1 باعث افت سیگنال ورودی به اندازه dB ۰/۵ می‌شود.



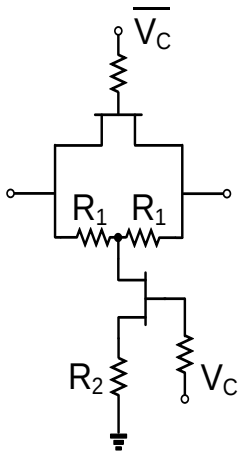
شکل (۱). ساختار پیشنهادی برای بیت dB ۰/۵

میزان تضعیف در این ساختار از رابطه (۱) به دست می‌آید. دراین‌رابطه Z_0 امپدانس مشخصه می‌باشد [۳].

$$|S_{21}| = 20\log\left(\frac{2\left(R_1 \| Z_0\right)}{Z_0 + (R_1 \| Z_0)}\right) \qquad (۱)$$

۲-۳- طراحی بیت‌های dB ۱، dB ۲ و dB ۴

در طراحی تضعیف‌کننده، به طور معمول برای بیت‌هایی با تضعیف پایین (dB ۱، dB ۲ و dB ۴) از ساختار T و برای بیت‌هایی با تضعیف بیشتر (dB ۸ و dB ۱۶) از ساختار Pi استفاده می‌شود [۲]. به‌منظور طراحی این سه بیت از ساختار یکسانی استفاده شده است که در شکل (۲) نشان‌داده‌شده است. در مدار شکل (۲)، زمانی که V_c دارای ولتاژ مثبت ۵ است، مقاومت‌های R_1 و R_2 وارد مدار می‌شوند و سیگنال RF به‌صورت تضعیف شده به خروجی خواهد رسید.



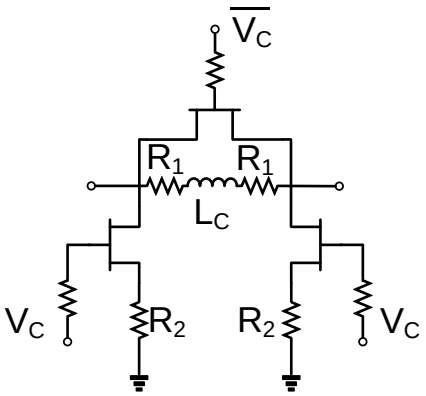
شکل (۲). ساختار پیشنهادی برای بیت‌های dB ۱، dB ۲ و dB ۴

میزان تضعیف در این ساختار از رابطه (۲) به دست می‌آید [۳].

$$|S_{21}| = 20\log\left(\frac{2\left((R_1 + Z_0)\|R_2\right)(Z_0)}{\left[Z_0 + R_1 + \left((R_1 + Z_0)\|R_2\right)\right](Z_0 + R_1)}\right) \qquad (۲)$$

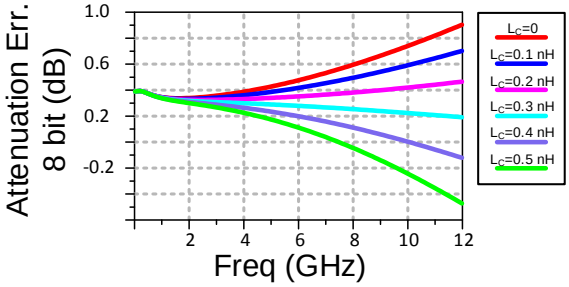
۴-۲- طراحی بیت‌های dB ۸ و dB ۱۶

همان‌طور که بیان شد به‌منظور طراحی بیت‌هایی با تضعیف زیاد از ساختار Pi استفاده شده است. لازم به توضیح است در میان تمام بیت‌های طراحی شده بیت‌های dB ۸ و dB ۱۶ از مشخصهٔ فازی ضعیف‌تری برخوردار هستند؛ بنابراین، باید جبران‌سازی فازی برای آن‌ها صورت پذیرد. برای این امر از سلفی سری با مقاومت‌های تضعیف استفاده شده که در شکل (۳) نشان‌داده‌شده است [۷ و ۱۲].

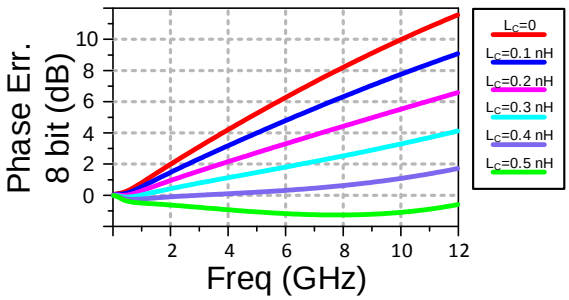


شکل (۳). ساختار پیشنهادی برای بیت‌های dB ۸ و dB ۱۶

به‌منظور نشان‌دادن اثر سلف بر تغییرات فاز و دامنهٔ خروجی، ساختار شکل (۳) با مقادیر مختلف سلف جبران‌ساز، شبیه‌سازی شده و در شکل (۴-الف و ب) نشان‌داده‌شده است.



الف - خطای دامنه بیت dB ۸



ب- خطای فاز بیت dB ۸

شکل (۴). اثر مقادیر مختلف سلف جبران‌ساز بر تغییرات فاز و دامنه

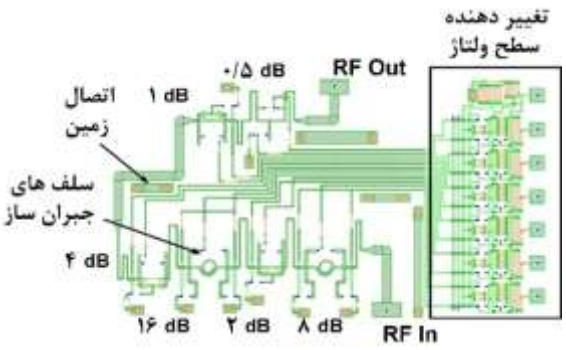
نتایج شبیه‌سازی نشان می‌دهند، به‌ازای مقادیر زیادتر سلف سری شده در ساختار شکل (۳)، میزان تغییرات فاز خروجی کاهش می‌یابد. باید به این نکته توجه داشت که مقادیر بزرگ برای سلف می‌تواند میزان خطای دامنه را افزایش دهد. برای طرح پیشرو مقدار سلف برای دو بیت dB ۸ و dB ۱۶، nH ۰/۳ انتخاب شده است. میزان تضعیف در این ساختار از رابطه (۳) به دست می‌آید [۳].

$$|S_{21}| = 20\log\left(\frac{2\left(\left[\left(R_2 \| Z_0\right)+2R_1\right]\| R_2\right)\left(R_2 \| Z_0\right)}{Z_0+\left(\left[\left(R_2 \| Z_0\right)+2R_1\right]\| R_2\right)\left(\left(R_2 \| Z_0\right)+2R_1\right)}\right) \quad (۳)$$

پس از طراحی، تمامی بیت‌ها به‌صورت جداگانه، به‌منظور اتصال آن‌ها، بیت‌هایی با بیشترین میزان تحمل توان و بهترین تطبیق‌ها، در ورودی و خروجی قرار می‌گیرند. ترتیب چینش نهایی ۶ بیت طراحی شده به ترتیب dB ۸، dB ۲، dB ۱۶، dB ۴، dB ۱ و dB ۰/۵ می‌باشد.

۳- جانمایی و نتایج شبیه‌سازی

به‌منظور بررسی عملکرد تراشه طراحی شده لازم است تا طرح جانمایی مدار در نرم‌افزار ADS رسم گردد و سپس تحلیل الکترومغناطیسی انجام شود. طرح جانمایی تضعیف‌کننده در شکل (۵) نشان داده شده است.



شکل (۵). طرح جانمایی تضعیف‌کننده ۶ بیتی پیشنهادی در نرم‌افزار ADS

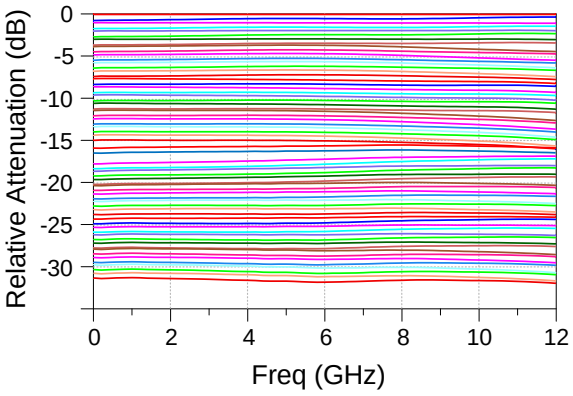
مراحل شبیه‌سازی الکترومغناطیسی باید گام‌به‌گام انجام شود و نتایج مدار بعد از تحلیل در هر مرحله بهینه‌سازی شود. باتوجه‌به این که در فناوری استفاده شده تنها ترانزیستورهای نوع تخلیه وجود دارند. به‌منظور استفاده از تراشه با ولتاژ مثبت نیاز به مدار تغییردهنده سطح ولتاژ می‌باشد. این مدار دارای یک ولتاژ بایاس V ۸- می‌باشد تا بتواند ولتاژهای ورودی صفر و V ۵+ را به ولتاژهای V ۳/۳- و صفر تبدیل نماید. جریان مصرفی تغییردهنده سطح ولتاژ برای ۶ بیت تضعیف‌کننده mA ۱۰/۲ می‌باشد. لازم به توضیح است، باتوجه‌به این که طرح جانمایی مدار به‌صورت فشرده رسم شده است، بین قسمت‌های مختلف مدار زمین‌هایی

به‌منظور کاهش اثر الکترومغناطیسی خطوط بر یکدیگر رسم شده است. همچنین، فلز اتصال بیت ۴ dB به بیت ۱ dB، به‌منظور کاهش تضعیف ذاتی ضخیم‌تر از باقی اتصالات رسم شده است. علاوه بر این، به‌منظور کاهش تضعیف ذاتی، سعی شده است که سوئیچ‌های سری دارای ابعاد بزرگی و سوئیچ‌های موازی شده دارای ابعاد کوچک‌تری باشند. علاوه بر این به‌منظور دستیابی به خطای مؤثر فاز بهتر هر بیت به‌صورت جداگانه بهینه‌سازی شده است. ابعاد ترانزیستورهای استفاده در طرح پیشنهادی در جدول (۲) آورده شده است.

جدول (۲). ابعاد ترانزیستورهای استفاده شده در تضعیف‌کننده‌ی پیشنهادی

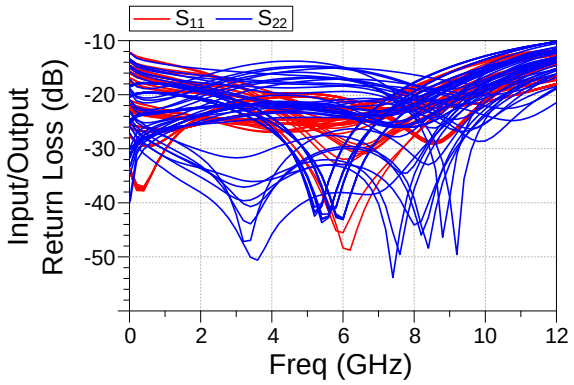
بیت‌های تضعیف‌کننده	ترانزیستورهای سری (µm)	ترانزیستورهای زمین شده (µm)
بیت ۰/۵ dB	۲ × ۳۰	۲ × ۲۵
بیت ۱ dB	۶ × ۸۵	۲ × ۳۰
بیت ۲ dB	۸ × ۶۵	۲ × ۲۵
بیت ۴ dB	۸ × ۸۵	۲ × ۲۵
بیت ۸ dB	۴ × ۳۵	۲ × ۲۵
بیت ۱۶ dB	۲ × ۹۰	۲ × ۲۵

نتایج شبیه‌سازی ۶۴ حالت بیت‌های تضعیف‌کننده دیجیتال پیشنهادی در شکل (۶) نشان داده است.

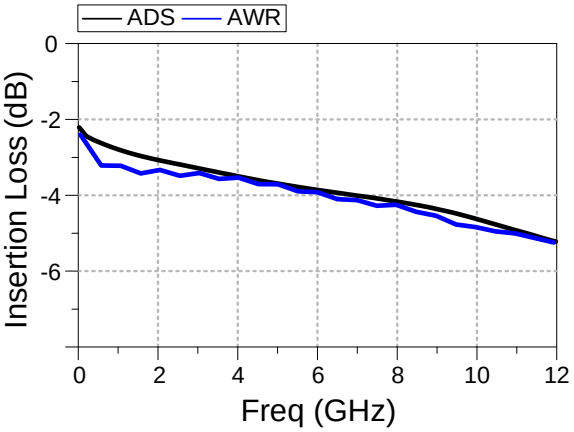


شکل (۶). نتایج شبیه‌سازی ۶۴ حالت تضعیف مدار پیشنهادی در نرم‌افزار ADS

تطبیق‌های ورودی و خروجی برای ۶۴ حالت تضعیف نیز در شکل (۷) آورده شده‌اند. همان‌طور که نمودار نشان می‌دهد، به‌ازای تمامی حالت‌ها، تطبیق‌های ورودی و خروجی از DC تا ۱۲ GHz کوچک‌تر از ۱۰ dB- هستند. شکل (۸) تضعیف ذاتی مدار پیشنهادی را نشان می‌دهد که مقدار آن بین ۲ dB- و ۵/۲ dB- می‌باشد. شکل (۹-الف و ب) نمودارهای خطای مؤثر دامنه و فاز را نشان می‌دهد.



شکل (۷). تطبیق‌های ورودی و خروجی به‌ازای ۶۴ حالت در نرم‌افزار ADS

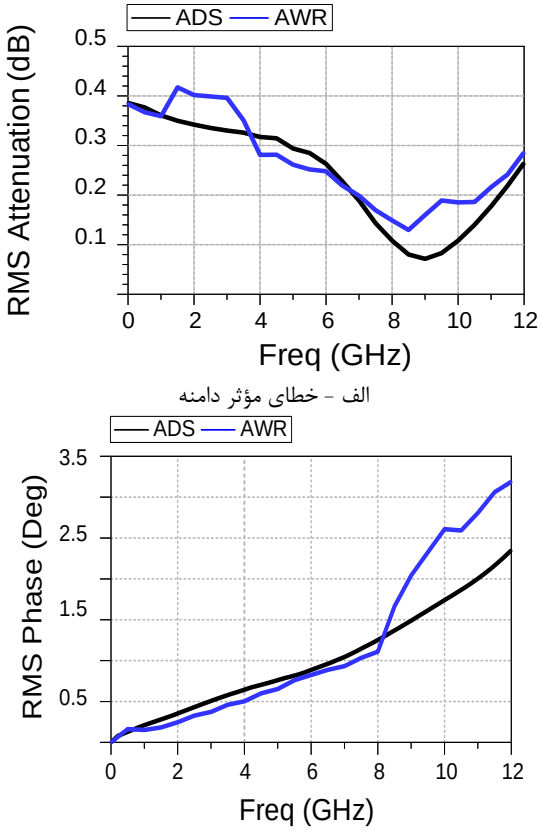


شکل (۸). تضعیف ذاتی مدار تضعیف‌کننده ۶ بیتی پیشنهادی در دو نرم‌افزار ADS و AWR

جدول (۳). مقایسه عملکرد تضعیف‌کننده‌ی پیشنهادی با سایر تضعیف‌کننده‌های با فناوری و فرکانس کاری مشابه

شماره مرجع	فناوری مورداستفاده	تعداد بیت	پهنای باند (GHz)	تضعیف ذاتی (dB)	S_{11} و S_{22} (dB)	خطای مؤثر دامنه (dB)	خطای مؤثر فاز (درجه)	P_{1dB} ورودی (dBm)	ابعاد تراشه (mm^2)
[۱۴]	۰/۲۵µm GaAs	۶	۴ ~ ۱۶	-۶/۵ >	-۱۵ >	۰/۵۵	۸/۱	۲۳	۵/۶
[۱۵]	۰/۱۸µm GaAs	۶	۱ ~ ۸	-۵/۵ >	-۱۵ >	۰/۳۷	۶/۸	۲۵	۸/۵۵
[۱۳]	GaAs	۶	DC ~ ۱۳	-۶/۵ >	-۱۱/۵ >	۰/۶۱	۵/۹	-	۳/۷۵
[۱۶]	GaAs	۶	۱ ~ ۱۵	-۳ ~ -۶/۲	-۱۳ >	۰/۲۵	۵	۲۰	۳/۱۲
[۸]	۰/۱۸µm CMOS	۶	۸ ~ ۱۲	-۱۱ >	-۱۲ >	۰/۴ >	۳/۵ >	۱۳	۰/۳۴

[۱۷]	۰/۱۸μm CMOS	۶	~ DC ۱۸	~ -۲/۹ -۶/۱	-۱۱ >	۰/۳۹ >	۲/۴ >	-	-
[۱۸]	۰/۱۳μm SiGe	۶	~ DC ۲۰	-۴ >	-۱۲ >	۰/۳۷ >	۴ >	۱۰	۰/۱۴
نتایج شبیه-سازی در ADS	۰/۱۵ μm GaAs	۶	۱ ~ ۱۲	-۲ ~ -۵/۲	-۱۰ >	۰/۴ ~ ۰/۰۶	۲/۴ >	۲۲ ~ ۲۷	۳/۹
نتایج شبیه-سازی در AWR	۰/۱۵ μm GaAs	۶	۱ ~ ۱۲	~ -۲/۳۵ -۵/۲۴	-۹ >	~ ۰/۱۳ ۰/۴۲	۳/۱۸ >	۲۳ ~ ۲۹	۳/۹



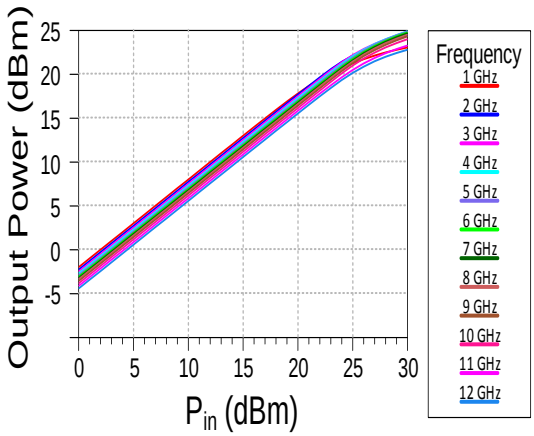
الف - خطای مؤثر دامنه

ب- خطای مؤثر فاز

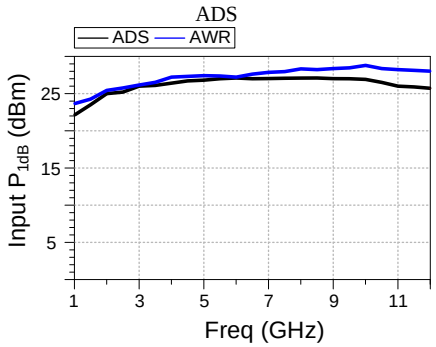
شکل (۹). خطاهای مؤثر مدار تضعیف‌کننده ۶ بیتی پیشنهادی در دو نرم‌افزار ADS و AWR

به‌منظور تعیین مقدار P_{1dB} ورودی نمودارهای توان خروجی به‌ازای توان ورودی در فرکانس‌های مختلف رسم شده است. همچنین، نقاط P_{1dB} در فرکانس‌های مختلف از نمودارهای شکل (۹) استخراج شده است و به‌صورت یک نمودار P_{1dB} بر حسب فرکانس در شکل (۱۱) رسم شده است. همان‌طور که در نمودار نشان داده است، P_{1dB} ورودی در تمام پهنای باند بیشتر از ۲۲ dBm و دارای مقدار متوسط ۲۵ dBm و حداکثر dBm ۲۷ می‌باشد.

در نهایت مقایسه نتایج شبیه‌سازی تراشه طراحی شده با سایر تضعیف‌کننده‌های مشابه در جدول (۳) آورده شده است. طرح ارائه شده نسبت به کارهای مشابه در جدول (۳) دارای تضعیف ذاتی کمتری می‌باشد. علاوه بر این، باتوجه‌به این که بعد از هر مرحله تحلیل الکترومغناطیسی، فاز کلی تراشه بهینه‌سازی‌شده است، میزان خطای فاز تراشه طراحی نسبت به نمونه‌های مشابه از مقدار کمتری برخوردار است.



شکل (۱۰). نمودار توان خروجی بر حسب توان ورودی در نرم‌افزار ADS



شکل (۱۱). نمودار P_{1dB} ورودی در فرکانس‌های مختلف در دو نرم‌افزار ADS و AWR

۴- نتیجه‌گیری

در این مقاله یک تضعیف‌کننده ۶ بیتی پهن باند با باند کاری ۱ تا ۱۲ گیگاهرتز به‌منظور کاربرد در رادارهای آرایه فازی ارائه گردید. در طراحی ارائه شده از ساختارهای Pi و T به‌منظور کاهش تضعیف ذاتی و کوچک‌سازی ابعاد تراشه استفاده شده و به‌منظور جبران‌سازی فاز بیت‌ها، از سلف‌هایی موازی با سوئیچ‌های تضعیف dB ۸ و dB ۱۶ استفاده شده است. شبیه‌سازی‌های انجام شده

در نرم‌افزار ADS نسخه ۲۰۱۵ انجام شده است و به‌منظور راست آزمایی، طرح ارائه شده در نرم‌افزار AWR نسخهٔ ۱۶ نیز شبیه‌سازی شده است. نتایج شبیه‌سازی در نرم‌افزار ADS نسخه ۲۰۱۵ نشان می‌دهند تضعیف‌کننده طراحی شده دارای تضعیف ذاتی کوچک‌تر از ۵/۲ dB- می‌باشد. علاوه بر این، خطای مؤثر دامنه و فاز در تمام پهنای باند به ترتیب کمتر از ۰/۴ dB و ۲/۴ درجه است. لازم به توضیح است P_{1dB} ورودی این تراشه پس از شبیه‌سازی الکترومغناطیسی در تمام پهنای باند دارای مقدار میانگین ۲۵ dBm می‌باشد. ابعاد تراشه طراحی شده ۳/۹ mm^2 می‌باشد.

۵- مراجع

[1] H. Khaleghi and S. A. Moghaddasi, “Beam Pattern Design in Phase MIMO Radars for Known Target Locations”, Journal of Radar, Vol. 3, No. 4, pp. 25-32, 2016 (In Persian).

[2] R. Sturdivant and M. Harris, *Transmit Receive Modules for Radar and Communication Systems*: Artech House, 2015.

[3] I. J. Bahl, *Control components using Si, GaAs, and GaN technologies*: Artech House, 2014.

[4] R. Sturdivant and M. Harris, *Transmit Receive Modules for Radar and Communication Systems*: Artech House, 2015.

[5] I. Bahl, *Fundamentals of RF and microwave transistor amplifiers*: John Wiley & Sons, 2009.

[6] B.-W. Min and G. M. Rebeiz, "A 10–50-GHz CMOS distributed step attenuator with low loss and low phase imbalance," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 2547-2554, 2007.

[7] M. Davulcu, C. Caliskan, I. Kalyoncu, M. Kaynak, and Y. Gurbuz, "7-bit SiGe-BiCMOS step attenuator for X-band phased-array RADAR applications," *IEEE Microwave and Wireless Components Letters*, vol. 26, pp. 598-600, 2016.

[8] B.-H. Ku and S. Hong, "6-bit CMOS digital attenuators with low phase variations for $ X $-band phased-array systems," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, pp. 1651-1663, 2010.

[9] I. Ju, Y.-S. Noh, and I.-B. Yom, "Ultra broadband DC to 40 GHz 5-bit pHEMT MMIC digital attenuator," in *2005 European Microwave Conference*, 2005, pp. 4 pp.-998.

[10] S. Zhu, A. Mikul, P. Sun, Y .You, J.-H. Kim, B.-S. Kim, *et al.*, "Inductor-less SiGe pin diode attenuator with low phase variations," *Electronics letters*, vol. 48, pp. 1287-1289, 2012.

[11] M. K. Cho, J. G. Kim, and D. Baek, "A Broadband Digital Step Attenuator with Low Phase Error and Low Insertion Loss in 0.18-µm SOI CMOS Technology," *ETRI journal*, vol. 35, pp. 638-643, 2013.

[12] Y. Yuan, S.-X. Mu, and Y.-X. Guo, "6-bit step attenuators for phased-array system with temperature compensation technique," *IEEE Microwave and Wireless Components Letters*, vol. 28, pp. 690-692, 2018.

[13] http://datasheet.viper-rf.com/VRFC0006BD_API.pdf

[14] https://www.ums-rf.com/wp content/uploads/2017/01/CHT4016-99F-Full-3042.pdf

[15] https://www.ommic.com/datasheets/OMMIC_DATASHEET_D%20ATTENUATOR_CGY2176AUH-C1.pdf

[16] OMMIC, “CGY2171XBUH: 6-Bit 1-15 GHz Attenuator,” datasheet, Limeil-Brévannes, France, Apr. 2010. Available:http://www.ommic.fr/produits/w2171b-39

[17] A. Ahmadikia, P. Karami, and S. M. Atarodi, "Analysis and design of a DC to 18 GHz 6-bit attenuator with simultaneous phase and gain error correction," *AEU-International Journal of Electronics and Communications*, vol.110, p.152829, 2019.

[18] I. Song, M.-K. Cho, and J. D. Cressler, "Design and analysis of a low loss, wideband digital step attenuator with minimized amplitude and phase variations," *IEEE Journal of Solid-State Circuits*, vol. 53, pp. 2202-2213, 2018.